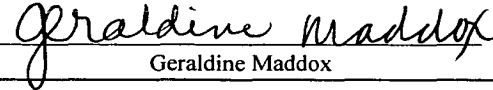


CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on July 2, 2003.


Geraldine Maddox

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yasuaki HIRANO et al.

Serial No.: New Application

Filing Date: July 2, 2003

For: NONVOLATILE SEMICONDUCTOR
MEMORY DEVICE

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2002-193348 filed July 2, 2002.


The certified priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952 referencing 204552029000.

Dated: July 2, 2003

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7743
Facsimile: (703) 760-7777

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 2日

出 願 番 号

Application Number:

特願2002-193348

[ST.10/C]:

[JP 2002-193348]

出 願 人

Applicant(s):

シャープ株式会社

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043028

【書類名】 特許願

【整理番号】 182648

【提出日】 平成14年 7月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 平野 恭章

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 森 康通

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 河内 修一郎

【特許出願人】

 【識別番号】 000005049

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置

【特許請求の範囲】

【請求項 1】 制御ゲート,ドレイン,ソースおよび浮遊ゲートを有する電氣的に情報の書き込みおよび消去可能な浮遊ゲート電界効果トランジスタで構成されたメモリセルと、第 1 のリファレンスセルを有する読み出し手段を備えた不揮発性半導体メモリ装置であって、

第 2 のリファレンスセルと、

上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較するしきい値比較手段と、

上記しきい値比較手段が上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較した結果に基いて、上記第 1 のリファレンスセルのしきい値を設定するしきい値設定手段とを備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 請求項 1 に記載の不揮発性半導体メモリ装置において、

上記読み出し手段は、上記第 1 のリファレンスセルと第 1 のセンスアンプを有し、この第 1 のリファレンスセルと第 1 のセンスアンプを用いて、上記メモリセルの読み出しを行い、

上記しきい値比較手段は、第 2 のセンスアンプを有し、この第 2 のセンスアンプで上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較することを特徴とする不揮発性半導体メモリ装置。

【請求項 3】 請求項 1 に記載の不揮発性半導体メモリ装置において、

上記読み出し手段は、上記第 1 のリファレンスセルとセンスアンプを有し、上記第 1 のリファレンスセルと上記センスアンプを用いて、上記メモリセルの読み出しを行い、

上記しきい値比較手段は、上記読み出し手段が有する上記センスアンプを、上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較するセンスアンプとして共用することを特徴とする不揮発性半導体メモリ装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 つに記載の不揮発性半導体メモリ装置において、

しきい値の異なる複数の第 2 のリファレンスセルを備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 つに記載の不揮発性半導体メモリ装置において、

上記メモリセルの浮遊ゲートに電子が注入され、上記メモリセルのしきい値が高められた状態を書き込み状態とし、上記メモリセルのしきい値が低い状態をイレース状態とした場合に、

上記第 1 のリファレンスセルのしきい値の目標値が、上記書き込み状態のしきい値と上記イレース状態のしきい値の間にあり、上記第 2 のリファレンスセルのしきい値が、上記第 1 のリファレンスセルのしきい値の目標値よりも低いことを特徴とする不揮発性半導体メモリ装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 つに記載の不揮発性半導体メモリ装置において、

上記第 2 のリファレンスセルのしきい値は、上記第 1 のリファレンスセルのしきい値の目標値よりも、上記しきい値設定手段による書き込みの分解能分だけ低いことを特徴とする不揮発性半導体メモリ装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 つに記載の不揮発性半導体メモリ装置において、

上記しきい値設定手段は、

上記第 1 のリファレンスセルのしきい値を調整する内部制御手段からなることを特徴とする不揮発性半導体メモリ装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、不揮発性半導体メモリ装置に関し、特に、リファレンスセルのしきい値設定時間を短縮できる不揮発性半導体メモリ装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、最も一般的に用いられているフラッシュメモリとしては、ETOX (EPROM Thin Oxide、Intelの登録商標)がある。図13に、このETOX型フラッシュメモリの模式的な断面を示す。図13に示すように、このメモリは、ソースSとドレインDとの間の基板上に、トンネル酸化膜TFを介してフローティングゲートFGが形成され、このフローティングゲートFG上に、層間絶縁膜LFを介して、コントロールゲートCGが形成されている。

【0003】

次に、このETOXタイプのフラッシュメモリの動作原理について述べる。下の表1に、書き込み、消去、読み出しの各動作時における電圧条件を示す。すなわち、書き込み時は、コントロールゲートCGに電圧 V_{pp} (例えば9V)を印加し、ソースSを基準電圧 V_{ss} (例えば0V)にし、ドレインDに5Vの電圧を印加する。これにより、チャンネル層では、多くの電流が流れ、ドレインサイドの電界が高い部分で、ホットエレクトロンが発生し、フローティングゲートFGに電子が注入され、しきい値電圧が上昇する。この書き込み状態を、図14に、プログラム状態として示す。図14では、横軸をしきい値電圧とし縦軸をメモリセルの個数Nとしている。

【0004】

表 1
各モードでの印加電圧

	コントロールゲート	ドレイン	ソース	基板
書き込み	9 V	5 V/open	0 V	0 V
消去	- 9 V	open	6 V	0 V
読み出し	5 V	1 V	0 V	0 V

【0005】

また、消去時には、コントロールゲートCGに電圧 V_{nn} (例えば、- 9 V)、ソースSに電圧 V_{pe} (例えば6 V)を印加し、ソースサイドでフローティングゲート

F Gから電子を引き抜き、しきい値電圧を低下させる。この消去状態(イレース状態)でのしきい値電圧を、図 1 4 にイレース状態として示す。

【0 0 0 6】

このイレース時には、B T B T (Band To Band Tunneling)電流が流れる。このB T B T電流が発生すると、同時にホットホール、ホットエレクトロンが発生する。このうち、ホットエレクトロンは基板に流れてしまうが、一方、ホットホールは、トンネル酸化膜T F側へ引かれ、酸化膜T F内にトラップされる。この現象が一般的に、信頼性を悪化させると言われている。

【0 0 0 7】

また、読み出し動作では、ドレインDに1 Vを印加し、コントロールゲートC Gに5 Vを印加する。このとき、しきい値電圧がイレース状態であり、しきい値電圧が低い場合には、メモリセルに電流が流れず、この場合、このメモリセルの記憶情報は、「1」と判定される。一方、メモリセルがプログラム状態でしきい値電圧が高い場合、メモリセルに電流が流れず、この場合、このメモリセルの記憶情報は、「0」と判定される。

【0 0 0 8】

この場合の読み出し方法について、図 1 1 に示すセンスアンプ回路の構成を参照しながら、より詳細に述べる。通常、フラッシュメモリの読み出し動作は、図 1 1 に示すように、メインアレイのメモリセル(メインセル)で流れる電流 I_m と、リファレンスセルで流れる電流 I_r を比較して、メインセルが保持しているデータが「0」、または、「1」のいずれであるのかを判定する。

【0 0 0 9】

すなわち、 $I_m > I_r$ である場合には、上記データが「1」とであると判定し、 $I_r < I_m$ であれば上記データが「0」とであると判定する。このように判定するためには、リファレンスセルのしきい値は、書込み状態のセルのしきい値とイレース状態のしきい値の中間の値である必要がある。この中間の値とは、例えば、3.5 Vである。

【0 0 1 0】

従来、このリファレンスセルのしきい値は、読み出しスピード、および、信頼

性等を考慮し、正確な値である必要がある。例えば、 $3.5\text{ V} \pm 0.1\text{ V}$ 以内の精度が求められる。また、ワード線電圧は、RWL, WLとも同じ電圧(例えば5 V)である。

【0011】

一方、最近のフラッシュメモリでは、高速アクセスおよびページモード技術、シンクロナス技術等によって、読み出しの高速化が進められている。特に、ページモード技術、シンクロナス技術を用いると、一度の読み出し(センス)動作で読み出すメモリセルの数が大幅に増加する。この場合、読み出しの高速化を実現しようとする場合、読み出し時においてメインセルの状態とリファレンスセルの状態とをできるだけ同じ状態にする必要がある。この必要を満たそうとすれば、リファレンスセルの数が増加してしまうことになる。

【0012】

例えば、従来技術において、ページモード技術を用いて、さらに読み出し動作の高速化を行なう場合、メモリ装置におけるセンス系は、図12に示すような構成となる。図12では、1ブロック分のメモリアレイを示しており、256本のワード線WL0~WL255、2048本のビット線BL0~BL2032で構成されている。また、読み出し動作では、1回の動作で128個のメモリセルMSを同時に読み出せる構成になっている。一方、リファレンス側も高速読み出しを実現するため、1つのセンスアンプSA0(, SA1...SA127)に1つのリファレンスセルRFC0(, RFC1...RFC127)を配置している。

【0013】

【発明が解決すべき課題】

次に、上記従来の不揮発性半導体メモリ装置の問題点について述べる。図10に、上記メモリ装置において、リファレンスセルアレイ103のリファレンスセルをプログラム(書き込み)して、そのしきい値を調整する回路構成を示す。この場合のリファレンスセルは上記したように、そのしきい値を $3.5\text{ V} \pm 0.1\text{ V}$ の範囲に収める必要がある。このしきい値の調整方法としては、外部の制御装置を用いて、徐々にプログラムを行い、1つのメモリセルのしきい値を $3.5\text{ V} \pm 0.1\text{ V}$ にする手法を用いる。このしきい値の調整はテスト時に行なわれる。

【 0 0 1 4 】

上記しきい値の調整を行なう場合、プログラム制御回路 1 0 1 から、このリファレンスセルのプログラム動作のコマンドがセンスアンプアレイ 1 0 5 とリファレンスセルワード線電圧発生回路 1 0 6 に入力される。すると、このセンスアンプアレイ 1 0 5 とリファレンスセルワード線電圧発生回路 1 0 6 からリファレンスアレイ 1 0 3 にプログラムパルスが 1 パルス入力される。このプログラムパルスは、例えば、コントロールゲート電圧が 6 V、ドレイン電圧が 5 V、パルス幅 1 μ 秒とする。また、このしきい値調整を行う場合のゲート電圧は、メインアレイ 1 0 2 のメモリセルのしきい値をオーバーしないように、通常のプログラムよりも低い値に設定される。

【 0 0 1 5 】

次に、図 1 2 に示すパッド PAD から、直接、リファレンスセル R F C 0 に流れる電流を測定し、その電流からしきい値を測定する。ここで、上記しきい値が 3.4 V 以下と判断されれば、さらに、上記プログラムパルスをリファレンスセル R F C 0 に印加する。このしきい値調整の動作は、リファレンスセル R F C 0 のしきい値が 3.4 V 以上になるまで行なわれる。なお、このようなしきい値調整の方式に関しては、特開平 1 0 - 2 6 1 7 6 8 公報の従来技術でも示されている。

【 0 0 1 6 】

上記リファレンスセル R F C 0 のしきい値調整が終了すると、次に、リファレンスセル R F C 1 のしきい値調整が行なわれる。このしきい値調整動作は、次に、R F C 1 2 7 まで行なわれる。

【 0 0 1 7 】

次に、上記のしきい値調整に要する時間について検討する。1 つのリファレンスセルのしきい値を調整する動作において、1 つのリファレンスセルに印加するプログラムパルスのパルス回数は、通常、1 0 0 回程度必要となる。ここで、1 つのプログラムパルス印加動作(セットアップ動作等を含む)に、1 0 μ 秒を要し、しきい値読み出し動作に 1 0 0 μ 秒を要するとする。すると、1 つのリファレンスセルに対するしきい値調整動作に要する所要時間 T は、次式(1 0 1)で算出

されるように、11m秒程度となる。

【0018】

$$T = (100 + 10) \mu \text{秒} \times 100 = 11 (\text{m秒}) \quad \dots\dots (101)$$

また、上記リファレンスセルの個数は128個(RFC0～RFC127)なので、この128個のリファレンスセルRFC0～RFC127のしきい値調整動作に要する合計所要時間TTは、次式(102)で算出されるように、1.4秒程度となる。

【0019】

$$TT = 11 \text{ m秒} \times 128 = 1.4 (\text{秒}) \quad \dots\dots (102)$$

このように、上記従来技術では、リファレンスセルのしきい値の調整に要する時間(テスト時間とも言う)が非常に長くなる。

【0020】

そして、先述のように、ページモード技術、シンクロナス技術で、一度の読み出し(センス)動作で読み出すメモリセルの数が大幅に増加すると、これに伴って、リファレンスセル数も増加するので、さらに、しきい値調整時間が長くなってしまう。

【0021】

そこで、この発明の目的は、リファレンスセルの個数が増加することによるしきい値調整時間の増加を低減できる不揮発性半導体メモリ装置を提供することにある。

【0022】

【課題を解決するための手段】

上記目的を達成するため、この発明の不揮発性半導体メモリ装置は、制御ゲート、ドレイン、ソースおよび浮遊ゲートを有する電氣的に情報の書き込みおよび消去可能な浮遊ゲート電界効果トランジスタで構成されたメモリセルと、第1のリファレンスセルを有する読み出し手段を備える。また、この不揮発性半導体メモリ装置は、しきい値比較手段で、第2のリファレンスセルと、上記第1のリファレンスセルのしきい値と上記第2のリファレンスセルのしきい値とを比較し、しきい値設定手段は、上記しきい値の比較結果に基づいて、上記第1のリファレンス

セルのしきい値を設定する。

【 0 0 2 3 】

上記しきい値比較は、上記第 1 のリファレンスセルのしきい値読み出し動作に比べて、短い時間で行える。したがって、上記第 1 のリファレンスセルの個数が増加した場合に、上記第 1 のリファレンスセルを読み出して上記第 1 のリファレンスセルのしきい値を調整する従来例に比べて、しきい値調整時間を大幅に低減できる。

【 0 0 2 4 】

また、一実施形態の不揮発性半導体メモリ装置では、上記しきい値比較手段は、メモリセルの読み出しのための第 1 のセンスアンプとは別の第 2 のセンスアンプを有し、この第 2 のセンスアンプでもって、上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較する。したがって、上記メモリセルの読み出し動作とは独立に、しきい値比較動作を行える。

【 0 0 2 5 】

また、一実施形態の不揮発性半導体メモリ装置では、上記しきい値比較手段は、上記読み出し手段が有する上記センスアンプを、上記第 1 のリファレンスセルのしきい値と上記第 2 のリファレンスセルのしきい値とを比較するセンスアンプとして共用している。

【 0 0 2 6 】

この実施形態では、読み出し手段が有するセンスアンプでもって、第 1 , 第 2 のリファレンスセルのしきい値比較を行う。このため、メインセル読み出し用のセンスアンプと上記しきい値比較用のセンスアンプとを別個に有する場合と異なり、センスアンプのばらつきを吸収でき、しきい値を調整精度を向上できる。また、読み出し用のセンスアンプを複数個有している場合は、複数個の第 1 リファレンスセルのしきい値を同時に調整することも可能となり、しきい値調整時間の短縮を図れる。

【 0 0 2 7 】

また、一実施形態の不揮発性半導体メモリ装置では、しきい値の異なる複数の第 2 のリファレンスセルを備えたから、しきい値の異なる複数の第 1 のリファレ

ンスセルのしきい値を調整でき、2 値を越える多値のしきい値状態を持つメモリセルに対応可能となる。

【0 0 2 8】

また、一実施形態の不揮発性半導体メモリ装置では、上記第1のリファレンスセルのしきい値の目標値が、上記メモリセルのしきい値が高められた書込み状態のしきい値と上記メモリセルのしきい値が低いイレース状態のしきい値の間にあり、かつ、上記第2のリファレンスセルのしきい値が、上記第1のリファレンスセルのしきい値の目標値よりも低い。これにより、上記しきい値比較手段が上記第1のリファレンスセルのしきい値と第2のリファレンスセルのしきい値とを比較した結果、上記第1のリファレンスセルのしきい値が第2のリファレンスセルのしきい値よりも低い場合に、上記しきい値設定手段は、上記第1のリファレンスセルに書き込みパルスを加え、上記第1のリファレンスセルのしきい値を増加させて、上記しきい値の目標値に近づけることができる。

【0 0 2 9】

また、一実施形態の不揮発性半導体メモリ装置では、上記第2のリファレンスセルのしきい値は上記第1のリファレンスセルのしきい値の目標値よりも、上記しきい値設定手段による書込みの分解能分だけ低いから、上記しきい値設定手段は、上記しきい値比較手段によるしきい値比較結果に基づき、上記書込みの分解能の精度でもって、上記第1のリファレンスセルのしきい値を目標値に設定できる。

【0 0 3 0】

また、一実施形態の不揮発性半導体メモリ装置は、しきい値設定手段が内部制御手段からなるから、外部制御によらず、不揮発性半導体メモリ装置内部の制御でもって、第1のリファレンスセルのしきい値を調整できる。

【0 0 3 1】

【発明の実施の形態】

以下、この発明を図示の実施の形態に基づいて詳細に説明する。

【0 0 3 2】

(第1の実施形態)

図 1, 図 2 を参照して、この発明の不揮発性半導体メモリ装置の第 1 実施形態を説明する。

【 0 0 3 3 】

図 1 に示すように、この第 1 実施形態は、プログラム制御回路 1, メインアレイ 2, 複数の第 1 リファレンスセルからなるリファレンスセルアレイ 3, センスアンプアレイ 5, リファレンスワード線電圧発生回路 6, 第 2 リファレンスセル SRC, しきい値比較手段としてのリファレンストリム用センスアンプ 8 および出力バッファ回路 9 を備える。

【 0 0 3 4 】

図 1 から判るように、この実施形態では、リファレンスセルアレイ 3 とメインアレイ 2 の読み出し用センスアンプアレイ 5 以外に、第 2 リファレンスセル SRC とリファレンストリム用センスアンプ 8 を有する。この第 2 リファレンスセル SRC とリファレンストリム用センスアンプ 8 は、リファレンスセルアレイ 3 のしきい値を所定の値に調整するために用いられる。上記リファレンストリム用センスアンプ 8 は第 2 のセンスアンプである。

【 0 0 3 5 】

図 2 に示すように、上記メインアレイ 2 は、フローティングゲートを有する電氣的に情報の書き込みと消去が可能な浮遊ゲート電界効果トランジスタからなる複数のメモリセル MS が行と列をなして配置されている。各行のメモリセル MS のコントロールゲートには行線としてのワード線 WL 0 ~ WL 2 5 5 が接続されており、各列のメモリセル MS のドレインには列線としてのビット線 BL 0 ~ BL 2 0 3 2 が接続されている。各ビット線 BL 0 ~ BL 2 0 3 2 は Y デコーダ YD に接続されている。この Y デコーダ YD は 1 2 8 本の信号線 sen 0 ~ sen 1 2 7 で 1 2 8 個のセンスアンプ SA 1 ~ SA 1 2 7 に接続されている。このセンスアンプ SA 1 ~ SA 1 2 7 がセンスアンプアレイ 5 を構成している。また、信号線 sen 0 ~ sen 1 2 7 が図 1 の信号線群 sens をなす。

【 0 0 3 6 】

また、図 2 に示すように、浮遊ゲート電界効果トランジスタからなる 1 2 8 個の第 1 リファレンスセル RFC 0, RFC 1 ~ RFC 1 2 7 はリファレンスセル

アレイ 3 をなす。この第 1 リファレンスセル $RFC0, RFC1 \sim RFC127$ のドレインは、それぞれ、 $nMOS$ トランジスタ $Trr0, Trr1 \sim Trr127$ を介して、信号線 $ref0 \sim ref127$ でセンスアンプ $SA0, SA1 \sim SA127$ に接続されている。図 2 の信号線 $ref0 \sim ref127$ が図 1 の信号線群 ref であり、図 2 の信号線 $rsen0$ が図 1 の信号線 $rsens$ である。

【 0 0 3 7 】

また、図 2 に示すように、書き込み回路 WC が信号線 $rsen$ に接続され、この信号線 $rsen$ は、トランジスタ $Tr0, Tr1 \sim Tr127$ を介して、第 1 リファレンスセル $RFC0, RFC1 \sim RFC127$ のドレインに接続されている。また、上記書き込み回路 WC は図 1 のプログラム制御回路 1 に接続されている。このプログラム制御回路 1 と書き込み回路 WC がしきい値設定手段を構成している。

【 0 0 3 8 】

さらに、上記信号線 $rsen$ はトリム用センスアンプ 8 の反転入力端子に接続され、このトリム用センスアンプ 8 の出力端子はプログラム制御回路 1 に接続されている。また、このトリム用センスアンプ 8 の非反転入力端子は信号線 $sref$ でもって、 $nMOS$ トランジスタ Trq を経由して、浮遊ゲート電界効果トランジスタからなる第 2 リファレンスセル SRC のドレインに接続されている。また、この第 2 リファレンスセル SRC のドレインは $nMOS$ トランジスタ Trp を経由して外部パッド PAD に接続されている。また、第 2 リファレンスセル SRC のコントロールゲートは第 2 リファレンスワード線 WL_{SR} に接続されている。また、この第 2 リファレンスセル SRC のソースは、ソース電圧が供給される端子に接続されている。

【 0 0 3 9 】

次に、この第 1 実施形態における回路動作を説明する。最初に、第 2 のリファレンスセル SRC のしきい値設定方法について述べる。

【 0 0 4 0 】

ここでは、上記リファレンスセルアレイ 3 が有する読み出し用の第 1 のリファレンスセル $RFC0 \sim RFC127$ のしきい値の目標値が $3.5V$ であるので、第 2 のリファレンスセル SRC のしきい値を $3.45V \pm 0.05V$ の範囲に設定

する。つまり、第1のリファレンスセルRFC0～RFC127のしきい値の目標値よりも、第2のリファレンスセルSRCのしきい値を低目に設定する。その理由は、第1のリファレンスセルRFC0～RFC127にプログラムパルスをつづつ印加して、第1のリファレンスセルのしきい値を第2のリファレンスセルのしきい値と比較することで検出しながら、第1のリファレンスセルのしきい値を段階的に上げて行くことで、第1のリファレンスセルのしきい値を設定するからである。

【0041】

したがって、第1のリファレンスセルRFC0～RFC127に、1つのプログラムパルスを印加することで上昇するしきい値(書き込み分解能)分だけ、第2のリファレンスセルSRCのしきい値を第1のリファレンスセルのしきい値よりも低く設定しておくことによって、第1のリファレンスセルRFC0～RFC127のしきい値を目標値(3.5V)近傍に設定できる。

【0042】

何故ならば、第1のリファレンスセルRFC0～RFC127のしきい値が、第2のリファレンスセルSRCのしきい値よりも高くなったことが検出されたときに、第1のリファレンスセルのしきい値へのプログラムパルスの印加を終了するからである。つまり、第2のリファレンスセルSRCのしきい値を第1のリファレンスセルのしきい値と同じ値に設定した場合には、第2のリファレンスセルのしきい値よりも第1のリファレンスセルのしきい値が高めに設定されてしまうからである。

【0043】

この第1実施形態におけるプログラム方法では、図2に示す外部パッドPADから、トランジスタTrpを経由して、第2のリファレンスセルSRCへドレイン電圧を入力する。また、図1のリファレンスセルワード線電圧発生回路6から第2リファレンスワード線WLSRへワード線電圧を供給し、第2リファレンスセルSRCのコントロールゲートへコントロールゲート電圧を印加する。なお、上記第2リファレンスセルSRCへのドレイン電圧は、内部回路で発生させてもよい。また、上記ワード線電圧は、外部パッドから入力してもよい。

【 0 0 4 4 】

上記のようにして、第2リファレンスセルSRCへプログラムパルスが1パルス入力される。このプログラムパルスは、例えば、上記コントロールゲート電圧が6Vであり、ドレイン電圧が5Vであり、パルス幅が1 μ 秒である。

【 0 0 4 5 】

次に、しきい値の読み出し動作について説明する。この読み出し動作においても、図2に示す外部パッドPADから、第2のリファレンスセルSRCのドレインにビット線を介して電圧を直接入力する。また、第2リファレンスワード線WL_{SR}へのコントロールゲート電圧は、図示していない外部パッドから直接入力する。この状態で、第2のリファレンスセルSRCに流れる電流を測定し、第2のリファレンスセルSRCのしきい値を測定する。この測定したしきい値が3.4V以下であると判断された場合には、第2のリファレンスセルSRCに、さらに、プログラムパルスを印加する。このしきい値の測定、判断、パルス印加の動作は、第2のリファレンスセルSRCのしきい値が3.4V以上になるまで行なわれる。結果的に、第2のリファレンスセルSRCのしきい値を、3.4V乃至3.5Vの範囲内に設定する。

【 0 0 4 6 】

次に、図1に示すメインアレイ2の読み出し時に用いるリファレンスセルアレイ3を構成する第1リファレンスセルRFC0～RFC127のしきい値設定動作を説明する。この実施形態では、図2に示すように、第1リファレンスセルRFC0～RFC127の個数は128個ある。この第1リファレンスセルRFC0～RFC127のしきい値の設定では、書込みとベリファイを交互に行なうことにより、しきい値を調整する。

【 0 0 4 7 】

図7に、図2における書込み回路WCの構成を示す。図1のプログラム制御回路1に、プログラム動作開始の信号が入力されると、プログラム制御回路1から書込み回路WCに書込み信号としてL(Low)レベルが出力される。そして、図7に示す信号DataonがH(high)レベルとなると、nMOSトランジスタTrWがオンして、ラッチ回路LCにはLレベルがラッチされることになる。そして、信

号hhvpが高電圧(例えば10V)となることで、レベルシフターHVの出力信号hv onが10Vとなり、nMOSトランジスタTr Xがオンする。一方、信号PGVは、プログラム電圧(例えば5V)となり、信号PGstartがHレベル(例えば10V)となり、nMOSトランジスタTr Yがオンする。すると、信号線rsen0には、5Vの電圧が出力される。

【0048】

さらに、図2に示す電圧Φ0が、Hレベル(例えば10V)となり、nMOSトランジスタTr 0がオンし、書き込み回路WCから信号線rsen0とnMOSトランジスタTr 0を経由して、第1リファレンスセルRFC0のドレインに5Vの電圧が出力される。このとき、リファレンスワード線WL_Rの電圧は、通常のプログラム(書き込み)動作時の電圧より低い電圧(例えば、5.5V程度)となり、プログラム(書き込み)が開始され、第1リファレンスセルRFC0のしきい値が上昇する。このプログラムにおけるプログラムパルス幅は1μ秒程度である。

【0049】

次に、プログラム制御回路1は、ベリファイ動作の命令を出力する。これにより、ベリファイ動作が開始される。このベリファイ動作では、先に、しきい値調整を行った第2のリファレンスセルSRCとトリム用センスアンプ8を用いてしきい値比較が行われる。すなわち、このベリファイ動作では、第1リファレンスセルRFC0のしきい値と第2リファレンスセルSRCのしきい値とを比較する。なお、このベリファイ動作では、信号RΦ0をHレベルとしてトランジスタTr qをオンとし、信号Φ0をHレベルとしてトランジスタTr 0をオンとする。また、第2リファレンスワード線WL_S_Rと第1リファレンスワード線WL_Rには、第2リファレンスセルSRCのしきい値電圧乃至このしきい値電圧+3V以下の電圧が印加される。また、第1リファレンスセルRFC0のワード線WL_Rには、上記第2リファレンスワード線WL_S_Rへのワード線電圧と同じ電圧が印加される。

【0050】

ここで、上記第1リファレンスセルRFC0のしきい値が、第2のリファレンスセルSRCのしきい値よりも低い場合には、第2リファレンスセルSRCから

信号線srefを経由してトリム用センスアンプ8の非反転入力端子に入力される電圧が、第1リファレンスセルRFC0から信号線rsen0を経由してトリム用センスアンプ8の反転入力端子に入力される電圧よりも大きい。

【0051】

この場合、トリム用センスアンプ8からの出力信号を受けたプログラム制御回路1は、書き込み回路WC,リファレンスセルワード線電圧発生回路6を制御して、第1リファレンスセルRFC0に、再度、プログラムパルスをも1パルスだけ印加して、第1リファレンスセルRFC0のしきい値を所定値だけ上げる。そして、再度、上記ベリファイ動作を行い、その結果、依然、上記第1リファレンスセルRFC0のしきい値が、第2のリファレンスセルSRCのしきい値よりも低い場合には、さらに、上記プログラムパルスをも1パルスだけ第1リファレンスセルRFC0に印加する。

【0052】

そして、このベリファイ動作と上記プログラムパルス印加を繰り返し、最終的に、第1リファレンスセルRFC0のしきい値が第2のリファレンスセルSRCのしきい値よりも高くなると、トリム用センスアンプ8からプログラム制御回路1への出力信号がLレベルとなる。これにより、プログラム制御回路1は、第1リファレンスセルRFC0のしきい値が第2のリファレンスセルSRCのしきい値よりも高いと判断して、第1のリファレンスセルRFC0へのプログラムパルス印加を終了する。

【0053】

上述のしきい値調整動作(ベリファイとプログラムパルス印加)は、プログラム制御回路1が、一旦、コマンドを発行すると、第1のリファレンスセルRFC0のしきい値が所定のしきい値以上となるまで、内部のプログラム制御回路1によって、自動的に行われる。

【0054】

続いて、第1リファレンスセルRFC1、第1リファレンスセルRFC2、…、第1リファレンスセルRFC127の順に、上記しきい値調整動作を行う。ここで、1つの第1リファレンスセルのしきい値調整時間は、プログラムパルス

印加の動作(セットアップ動作等を含む)に $10\ \mu$ 秒を要し、ベリファイ時間に、 $2\ \mu$ 秒を要するとし、プログラムパルスの印加回数を 100 回とすると、1つの第1リファレンスセルのしきい値調整動作に要する所要時間 T は、次式(1)で算出できるように、 $1.2\ \text{m}$ 秒程度となる。

【0055】

$$T = 12(\mu\text{秒}) \times 100(\text{回}) = 1.2(\text{m秒}) \quad \dots\dots(1)$$

また、1つの第1リファレンスセルのしきい値を調整するために、プログラム制御回路1が最初に1度コマンドを発行するのに必要な時間を、 $1\ \mu$ 秒程度であるとすると、第1リファレンスセルの個数は128個なので、この128個の第1リファレンスセルのしきい値を調整するのに要する合計時間 TT は、次式(2)より、 0.15 秒程度となる。

【0056】

$$TT = 1.201(\text{m秒}) \times 128(\text{個}) = 0.15(\text{秒}) \quad \dots\dots(2)$$

したがって、従来例の場合ではしきい値調整に 1.4 秒だけ必要(式(101)参照)なのに対して、この第1実施形態によれば、しきい値調整時間を、従来例に比べて、約10分の1まで低減することが可能となる。

【0057】

この第1実施形態では、1個の第2のリファレンスセルSRCについてはそのセルに流れる電流を測定してしきい値を設定した。一方、128個の第1のリファレンスセルRFC0～RFC127については、電圧比較手段として使用したセンスアンプ8を用いて、第2のリファレンスセルSRCとのしきい値比較(ベリファイ)によって、しきい値を設定することで、従来に比べて、しきい値調整に要する時間を大幅に短縮できた。

【0058】

したがって、この第1実施形態によれば、内部のプログラム制御回路1を用いて制御するしきい値調整動作により、第1リファレンスセルの個数が増加することに伴うしきい値調整時間の増大を抑えることが可能になる。

【0059】

(第2の実施形態)

次に、図 3, 図 4 を参照して、この発明の不揮発性半導体メモリ装置の第 2 実施形態を説明する。

【 0 0 6 0 】

前述の第 1 の実施形態では、第 1 のリファレンスセル R F C 0 ~ R F C 1 2 7 のしきい値を調整するときに使用するセンスアンプ 8 が 1 つであるから、第 1 リファレンスセルのしきい値調整は 1 つづつ行うこととなり、第 1 リファレンスセルの個数がさらに増加した場合に、ベリファイ時間およびプログラム時間が長くなる。さらに、メインアレイ 2 の読み出し時に使用するセンスアンプ S A 1 ~ S A 1 2 7 と、第 1 リファレンスセル R F C 0 ~ R F C 1 2 7 のしきい値設定時に用いられるセンスアンプ 8 とが異なることから、センスアンプ間のばらつきを吸収することができない。この第 2 実施形態では、この点を改善したものである。

【 0 0 6 1 】

図 3, 図 4 に示すように、この第 2 実施形態では、図 1, 図 2 に示す第 1 実施形態では有していたトリム用センスアンプ 8 がなく、センスアンプアレイ 5 の代わりに、センスアンプアレイ 5 5 を備えた点が第 1 実施形態と異なる。このセンスアンプアレイ 5 5 は、図 4 に示すように、1 2 8 個のセンスアンプ & 書込回路 S A P 0 ~ S A P 1 2 7 からなる。

【 0 0 6 2 】

図 8 に、図 4 におけるセンスアンプ回路 & 書込み回路 S A P 0 の構成を示す。このセンスアンプ & 書込回路 S A P 0 は、センスアンプ S A A と書き込み回路 W C からなる。この書き込み回路 W C は、図 7 の書き込み回路 W C と同様の構成である。なお、このセンスアンプ回路 & 書込み回路 S A P 0 の構成は、他のセンスアンプ回路 & 書込み回路 S A P 1 ~ S A P 1 2 7 と同じ構成である。

また、このセンスアンプ回路 & 書込回路 S A P 0 ~ S A P 1 2 7 は、信号線 r e f 0 ~ r e f 1 2 7, n M O S トランジスタ T v 0 ~ T v 1 2 7 を経由して、第 1 リファレンスセル R F C 0 ~ R F C 1 2 7 のドレインに接続されている。また、このセンスアンプ回路 & 書込回路 S A P 0 ~ S A P 1 2 7 は、信号線 s e n 0 ~ s e n 1 2 7 で Y デコーダ Y D に接続されている。また、信号線 s e n 0 ~ s e n 1 2 7 は、n M O S トランジスタ T w 0 ~ T w 1 2 7 で信号線 r s e n 0 に接続されている。ま

た、この信号線 $rsen0$ は、 $nMOS$ トランジスタ Trq を経由して第2リファレンスセル SRC のドレインに接続されている。また、この第2リファレンスセル SRC のドレインは、 $nMOS$ トランジスタ Trp を経由して、外部パッド PAD に接続されている。

【0063】

この第2実施形態では、上記センスアンプ回路&書込み回路 $SAP1 \sim SAP127$ が有するセンスアンプ SAA がしきい値比較手段をなし、書き込み回路 WC とプログラム制御回路1がしきい値設定手段をなす。

【0064】

次に、この第2実施形態の回路動作を説明する。最初に、第2のリファレンスセル SRC のしきい値設定方法を説明する。ここでは、第1リファレンスセル $RFC0 \sim RFC127$ のしきい値の目標値は $3.5V$ なので、第2のリファレンスセル SRC のしきい値は $3.45V \pm 0.05V$ の範囲に設定する。この場合の第2リファレンスセル SRC のプログラム方法は、外部パッド PAD から、第2リファレンスセル SRC のドレインにドレイン電圧を入力すると共に、リファレンスセルワード線電圧発生回路6から第2リファレンスワード線 WL_{SR} へ印加電圧を供給する。なお、上記ドレイン電圧は内部回路で発生させてもよい。また、上記ワード線 WL_{SR} へのワード線電圧は、外部パッドから入力してもよい。

【0065】

上記ドレイン電圧と上記ワード線電圧によって、上記第2リファレンスセル SRC に、プログラムパルスが1パルス入力される。例えば、上記ワード線電圧によって、第2リファレンスセル SRC のコントロールゲートにゲート電圧として $6V$ が印加されると共に、上記ドレイン電圧によって、第2リファレンスセル SRC のドレインに $5V$ が印加される。また、上記プログラムパルスのパルス幅は、例えば、 1μ 秒に設定される。

【0066】

次に、第2のリファレンスセル SRC のしきい値の読み出し動作について、説明する。この読み出し動作では、図4に示す外部パッド PAD から直接、第2のリファレンスセル SRC のドレインに接続されているビット線に電圧を入力する

。また、第2リファレンスワード線 WL_{SR} への電圧は、図示していない外部パッドから直接入力し、第2のリファレンスセル SRC に流れる電流を測定し、その電流値からしきい値を測定する。

【0067】

この測定の結果、第2リファレンスセル SRC のしきい値が3.4V以下と判断されると、第2リファレンスセル SRC に、さらに、上記プログラムパルスで1パルスだけ印加する。このしきい値の測定、しきい値の判断、パルス印加の動作は、第2リファレンスセル SRC のしきい値が3.4V以上になるまで行なわれる。結果的に、第2のリファレンスセル SRC のしきい値を3.4Vから3.5Vの範囲内に設定する。

【0068】

次に、複数のメインメモリセル MS からなるメインアレイ2を読み出す時に用いられる第1リファレンスセル $RFC0 \sim RFC127$ のしきい値設定について説明する。図4に示すように、128個の第1リファレンスセル $RFC0 \sim RFC127$ がリファレンスセルアレイ3を構成している。

【0069】

この第1リファレンスセル $RFC0 \sim RFC127$ のしきい値設定動作では、第1リファレンスセルへの書込みとベリファイを交互に行なうことによって、以下に述べるようにして、第1リファレンスセルのしきい値を調整する。

【0070】

(第1リファレンスセルへの書き込み)

図3に示すプログラム制御回路1に、プログラム動作開始の信号が入力されると、プログラム制御回路1から図8の書込み回路 WC に書込み信号として、Lレベルが出力される。次に、図8に示す信号 $Dataon$ がHレベルとなり、nMOSトランジスタ TrW がオンし、ラッチ回路 LC ではLレベルがラッチされる。そして、信号 $hhvp$ が、高電圧(例えば10V)となり、レベルシフター HV の出力信号 $hvon$ が10Vとなり、nMOSトランジスタ TrX がオンする。そして、信号 PGV はプログラム電圧(例えば5V)となり、 $PGstart$ 信号がHレベル(例えば10V)となることで、トランジスタ TrY がオンし、信号線 $ref0$ には5Vの

電圧が出力する。

【 0 0 7 1 】

さらに、図4の信号RC0がHレベル(例えば10V)となり、トランジスタT_{v0}がオンして、信号線ref0からリファレンスセルRFC0のドレインに、5Vの電圧を出力する。また、第1リファレンスセルワード線WL_Rに供給される電圧は通常のプログラム時の電圧より低い電圧(例えば、5.5V程度)が印加され、プログラム(書き込み)が開始され、第1リファレンスセルRFC0のしきい値が上昇する。なお、上記ドレインへの電圧と上記ワード線WL_Rからコントロールゲートへの電圧とからなるプログラムパルスのパルス幅は1μ秒程度とする。

【 0 0 7 2 】

この第1リファレンスセルRFC0～RFC127への書き込み動作は、例えば、8つの第1リファレンスメモリセルRFC0～RFC7に対して、8つのセンスアンプ&書き込み回路SAP0～SAP7を用いて同時に行うことが可能である。つまり、8つの第1リファレンスメモリセルRFC0～RFC7に対して、8つのセンスアンプ&書き込み回路SAP0～SAP7から並列書き込み動作が可能である。

【 0 0 7 3 】

次に、プログラム制御回路1はベリファイ動作の命令を出力する。これにより、ベリファイ動作が開始される。このベリファイ動作では、先に、しきい値調整を行った第2のリファレンスセルSRCと図8のセンスアンプSAAを用いて、第1リファレンスセルRFC0～RFC127と第2のリファレンスセルSRCとのしきい値比較が行われる。

【 0 0 7 4 】

このしきい値比較は、8個のセンスアンプ&書込回路SAP0～SAP7の8個のセンスアンプSAAを用いて、8個の第1リファレンスセルRFC0～RFC7について同時に行うことができる。

【 0 0 7 5 】

例えば、8個の第1リファレンスセルRFC0～RFC7のうちの第1リファ

レンスセル R F C 0 のしきい値が第 2 のリファレンスセル S R C のしきい値よりもより低い場合には、第 2 リファレンスセル S R C から信号線 r s e n 0 , トランジスタ T w 0 , 信号線 s e n 0 を経由して、センスアンプ S A A の反転入力端子に入力される電圧が、第 1 リファレンスセル R F C 0 から信号線 r e f 0 を経由してセンスアンプ S A A の非反転入力端子に入力される電圧よりも高い。

【 0 0 7 6 】

すると、図 8 のセンスアンプ S A A はプログラム制御回路 1 に信号を出力し、プログラム制御回路 1 は、第 1 のリファレンスセル R F C 0 のしきい値が第 2 のリファレンスセル S R C のしきい値よりも低いと判断し、前述の第 1 リファレンスセルへの書き込み動作を実行する。これにより、この第 1 のリファレンスセル R F C 0 へ、再度、プログラムパルスが印加される。

【 0 0 7 7 】

上記しきい値比較, プログラムパルス印加を繰り返し、最終的に、第 1 のリファレンスセル R F C 0 ~ R F C 7 のしきい値が、第 2 のリファレンスセル S R C のしきい値よりも高くなる。すると、センスアンプ S A A の出力信号を受けたプログラム制御回路 1 が、第 2 のリファレンスセル S R C のしきい値よりも、第 1 リファレンスセル R F C 0 ~ R F C 7 のしきい値が高いと判断したときに、第 1 リファレンスセル R F C 0 ~ R F C 7 に対するパルス印加が終了する。

【 0 0 7 8 】

上記第 1 リファレンスセル R F C 0 ~ R F C 7 に対するしきい値調整動作は、1 度、上記プログラム制御回路 1 によってコマンドが発行されると、上記第 1 リファレンスセル R F C 0 ~ R F C 7 のしきい値が所定のしきい値(第 2 リファレンスセル S R C のしきい値)以上となるまで、内部のプログラム制御回路 1 を用いて自動的に行われる。

【 0 0 7 9 】

続けて、第 1 リファレンスセル R F C 8 ~ 第 1 リファレンスセル R F C 1 5、……、第 1 リファレンスセル R F C 1 2 0 ~ 第 1 リファレンスセル R F C 1 2 7 の順に、8 個ずつ、しきい値調整を行う。この場合、8 つの第 1 リファレンスセルのしきい値設定時間は、プログラムパルス回数を 1 0 0 回とし、プログラムパ

ルス印加の動作(セットアップ動作等込み)に 10μ 秒を要し、ベリファイ時間に 2μ 秒を要するとして、8つの第1リファレンスセルのしきい値調整動作に要する時間Tは、次式(3)により、 1.2 m秒 程度となる。

【0080】

$$T = ((12) \mu \text{ 秒} \times 100) = 1.2 \text{ m秒} \quad \dots\dots(3)$$

また、8つの第1リファレンスセルを調整するために、最初に、1度、コマンドが発行される。これに必要な時間を 1μ 秒とすると、第1リファレンスセル数は128個なので、上述のごとく8個の第1リファレンスセルのしきい値調整を同時に行う場合、しきい値調整に要する合計時間TTは、次式(4)のより、 0.039 秒 程度となる。

【0081】

$$TT = 1.201 \text{ m秒} \times 128 / 8 = 0.039 \text{ 秒} \quad \dots\dots(4)$$

このように、この第2実施形態によれば、第1リファレンスセルRFC0～RFC127のしきい値調整動作に要する時間を、第1実施形態に比して、約8分の1まで低減させることが可能となる。

【0082】

また、この第2実施形態では、図8の信号PGmstartにより、nMOSトランジスタTrZをオフにし、信号RP0によりnMOSトランジスタTw0～Tw127をオフにして、センスアンプ&書込回路SAP0～SAP127のセンスアンプSAAでメインアレイ2のメモリセルMSを読み出す。つまり、この第2実施形態では、メインアレイ2の読み出し時と第1リファレンスセルRFC0～RFC127のしきい値設定時に同じセンスアンプSAAを使用することから、上記読み出し時と上記しきい値設定時とで異なるセンスアンプを用いる場合に比べて、センスアンプ間のばらつきを吸収することができる。

【0083】

(第3の実施形態)

次に、図5,図6を参照して、この発明の不揮発性半導体メモリ装置の第3実施形態を説明する。

【0084】

前述の第1,第2実施形態は、不揮発性半導体メモリが2値フラッシュメモリである。一方、最近、ビットコスト低減のために、多値フラッシュメモリの検討が各所で進められている。例えば、4値フラッシュメモリの場合、1つのメモリセルのしきい値状態が図15に示すように4状態となる。この場合、各しきい値状態を分離するためには、リファレンスセルが3つ必要となり、さらにリファレンスセルが増加することになる。

【0085】

そこで、この第3実施形態では、本発明を多値フラッシュメモリに適用した場合について述べる。

【0086】

図5に示すように、この第3実施形態におけるリファレンスセルのしきい値設定回路は、図3に示す第2実施形態のセンスアンプアレイ55に替えてセンスアンプアレイ35を備え、図3の第2リファレンスセルSRCに替えて第2リファレンスセルアレイ37を備える。

【0087】

このセンスアンプアレイ35は、図6に示すセンスアンプ&書込回路SAP00～SAP1272からなる。また、上記第2リファレンスセルアレイ37は、第2リファレンスセルSRC00, SRC01, SRC02からなる。この3つの第2リファレンスセルSRC00, SRC01, SRC02は、それぞれ、ドレインがnMOSトランジスタTrp1, Trp2, Trp3を経由して外部パッドPADに接続されている。また、第2リファレンスセルSRC00, SRC01, SRC02のドレインは、nMOSトランジスタTrq3, Trq2, Trq1を経由して、信号線rsenに接続されている。また、第2リファレンスセルSRC00, SRC01, SRC02のコントロールゲートは、ワード線WL_{SR0}, WL_{SR1}, WL_{SR2}に接続されている。また、第2リファレンスセルSRC00～SRC02のソースは、ソース電圧を供給する端子に接続されている。

【0088】

また、図9に、図6におけるセンスアンプ回路&書込回路SAP00の構成を示す。このセンスアンプ回路&書込回路SAP00の構成は、前述の第2実施形

態における図 8 のセンスアンプ回路&書込回路 S A P 0 と同様の構成である。

【 0 0 8 9 】

また、この第 3 実施形態では、図 6 に示すように、1 2 8 個のセンスアンプ回路&書込回路 S A P 0 0 ~ S A P 1 2 7 0 と、1 2 8 個のセンスアンプ回路&書込回路 S A P 0 1 ~ S A P 1 2 7 1 と、1 2 8 個のセンスアンプ回路&書込回路 S A P 0 2 ~ S A P 1 2 7 2 とを備える。つまり、この第 3 実施形態では、1 2 8 × 3 個のセンスアンプ回路&書込回路 S A P 0 0 ~ S A P 1 2 7 2 を有する。このセンスアンプ回路&書込回路 S A P 0 0 ~ S A P 1 2 7 2 が有するセンスアンプ S A A がしきい値比較手段をなす。また、センスアンプ回路&書込回路 S A P 0 0 ~ S A P 1 2 7 2 が有する書込回路 W C およびプログラム制御回路 1 がしきい値設定手段をなす。

上記センスアンプ回路&書込回路 S A P 0 0 , S A P 0 1 , S A P 0 2 ~ S A P 1 2 7 0 , S A P 1 2 7 1 , S A P 1 2 7 2 は、それぞれ、信号線 ref 0 0 , ref 0 1 , ref 0 2 ~ ref 1 2 7 0 , ref 1 2 7 1 , ref 1 2 7 2 と n M O S トランジスタ T r 0 0 , T r 0 1 , T r 0 2 ~ T r 1 2 7 0 , T r 1 2 7 1 , T r 1 2 7 2 を経由して、第 1 リファレンスセル R F C 0 0 , R F C 0 1 , R F C 0 2 ~ R F C 1 2 7 0 , R F C 1 2 7 1 , R F C 1 2 7 2 のドレインに接続されている。

【 0 0 9 0 】

次に、この第 3 実施形態の回路動作を説明する。最初に、3 つの第 2 のリファレンスセル S R C 0 0 ~ S R C 0 2 のしきい値設定方法について述べる。まず、第 1 リファレンスセル R F C 0 0 のしきい値の目標値は 3 . 5 V なので、第 2 のリファレンスセル S R C 0 0 のしきい値を、3 . 4 5 V ± 0 . 0 5 V の範囲に設定する。この場合のプログラム(書き込み)方法は、外部パッド P A D からトランジスタ T r q 1 を経由して第 2 リファレンスセル S R C 0 0 にドレイン電圧を入力し、第 2 リファレンスワード線 W L S R 0 への印加電圧をリファレンスセルワード線電圧発生回路 6 から供給する。なお、上記ドレイン電圧は内部回路で発生させてもよい。また、ワード線 W L S R 0 への印加電圧は外部パッドから入力してもよい。

【 0 0 9 1 】

この第2リファレンスセルSRC00への書き込みでは、第2リファレンスセルSRC00へプログラムパルス(例えば、コントロールゲート電圧が6V、ドレインが5V、パルス幅1 μ 秒)が1パルス入力される。

【0092】

次に、この第2リファレンスセルSRC00のしきい値の読み出しについて説明する。図6に示す外部パッドPADから、トランジスタTrp1を経由して、第2リファレンスセルSRC00のドレインに接続されているビット線への電圧を入力する。また、第2リファレンスワード線WL_{SR0}への電圧は、図示していない外部パッドから直接入力し、第2リファレンスセルSRC00に流れるセル電流を測定し、その電流からしきい値を測定する。

【0093】

このしきい値測定の結果、第2リファレンスセルSRC00のしきい値が3.4V以下であると判断されれば、第2リファレンスセルSRC00に、さらにプログラムパルスを印加する。このしきい値測定とプログラムパルス印加動作は、第2リファレンスセルSRC00のしきい値が3.4V以上になるまで行なわれる。結果的に、第2のリファレンスセルSRC00のしきい値を3.4Vから3.5Vの範囲内に設定する。

【0094】

同様に、他の2つの第2リファレンスセルSRC01, SRC02のしきい値設定を行なう。この場合、第1のリファレンスセルRFC01のしきい値の目標値が4.5V、第1のリファレンスセルRFC02のしきい値の目標値が5.5Vであるので、第2のリファレンスセルSRC01, SRC02のしきい値は、それぞれ、4.45V \pm 0.05V、5.45V \pm 0.05Vの範囲に設定する。

【0095】

この第2リファレンスセルSRC01, SRC02のプログラム方法は、第1リファレンスセルRFC00のものと同様である。ただし、しきい値書き込み時のコントロールゲート電圧は、第2リファレンスセルRFC00のものより高く、第2リファレンスセルRFC01のコントロールゲート電圧は6.5V、第2リファレンスセルRFC02のコントロールゲート電圧は7.5Vである。

【 0 0 9 6 】

次に、メインアレイ 2 の読み出し時に用いる第 1 リファレンスセル R F C 0 0 ~ R F C 1 2 7 2 のしきい値設定について述べる。

【 0 0 9 7 】

図 6 に示すように、3 つの第 1 リファレンスセル R F C 0 0 , R F C 0 1 , R F C 0 2 を 1 組目として、1 2 8 組目の 3 つの第 1 リファレンスセル R F C 1 2 7 0 , R F C 1 2 7 1 , R F C 1 2 7 2 まで、全部で 1 2 8 × 3 個の第 1 リファレンスセルがある。この第 1 リファレンスセルのしきい値の設定は、書込みとベリファイを交互に行なうことで行う。

【 0 0 9 8 】

すなわち、最初に、設定するしきい値が同じである、第 1 リファレンスセル R F C 0 0 , R F C 1 0 , R F C 2 0 , R F C 3 0 , … , R F C 1 2 5 0 , R F C 1 2 6 0 , R F C 1 2 7 0 までの 1 2 8 個の第 1 リファレンスセルに対してしきい値設定を行なう。このように、設定するしきい値の同じ第 1 リファレンスセルに対して、まず、書込みを行なう理由は、調整するしきい値によって、第 1 リファレンスセルのコントロールゲートに印加するワード線電圧を変える必要があるからである。

【 0 0 9 9 】

上記センスアンプ回路 & 書込回路 S A P 0 0 において、プログラム制御回路 1 にプログラム動作開始の信号が入力されると、プログラム制御回路 1 から書込み回路 W C に書込み信号として L (Low) レベルが出力される。そして、図 9 に示すデータオン信号 Dataon が H レベルとなると、ラッチ回路 L C には L レベル信号がラッチされる。そして、信号 hhvp は高電圧 (例えば 1 0 V) となり、レベルシフター H V の出力信号 hvon が 1 0 V となる。信号 P G V は、プログラム電圧 (例えば 5 V) となり、P G rstart 信号が H レベル (例えば 1 0 V) となることで、n M O S トランジスタ T r Z がオンし、信号線 ref 0 0 には 5 V の電圧が出力される。

【 0 1 0 0 】

さらに、図 6 の信号 R C 0 0 が H レベル (例えば 1 0 V) となり、n M O S トラ

ンジスタ T_{v00} がオンして、第1リファレンスセル $RFC00$ のドレインに信号線 $ref00$ から $5V$ の電圧が出力する。一方、リファレンスワード線 WL_R には、通常のプログラム時の電圧より低い電圧、例えば、 $5.5V$ 程度が印加される。これにより、第1リファレンスセル $RFC00$ へのプログラムが開始され、第1リファレンスセル $RFC00$ のしきい値が上昇する。このプログラム時のプログラムパルス幅は 1μ 秒程度とした。

なお、このプログラムパルスの1パルス入力によって、第1リファレンスセル $RFC00$ のしきい値が増加する増分が書き込みの分解能であり、上記第2のリファレンスセル $SRC00$ のしきい値を上記第1のリファレンスセル $RFC00$ のしきい値の目標値よりも上記書き込みの分解能分だけ低く設定することで、上記書き込みの分解能の精度でもって、上記第1のリファレンスセル $RFC00$ のしきい値を目標値に設定できる。

【0101】

また、この書き込み(プログラム)動作は、例えば、8つのセンスアンプ&書込回路 $SAP00 \sim SAP70$ により、8つの第1リファレンスセル $RFC00 \sim$ リファレンスセル $RFC70$ に対して、同時に行なうことが可能であり、第2実施形態と同様の並列書き込み動作が可能である。

【0102】

次に、プログラム制御回路1は、ベリファイ動作の命令を出力する。これにより、ベリファイ動作が開始される。このベリファイ動作では、先に、しきい値調整を行った第2のリファレンスセル $SRC00 \sim SRC02$ とセンスアンプ&書込回路 $SAP00 \sim SAP1272$ のセンスアンプ SAA を用いてしきい値比較が行われる。

【0103】

このしきい値比較では、第2リファレンスセル $SRC00$ のドレインから、トランジスタ $Trq3$, 信号線 $rsen0$, トランジスタ $Tw00$, 信号線 $sen0$ を経由して、図9のセンスアンプ SAA の反転入力端子に電圧が入力される。また、第1リファレンスセル $RFC00$ のドレインから、トランジスタ $Tr00$, 信号線 $ref00$ を経由して、上記センスアンプ SAA の非反転入力端子に電圧が入力される。

【 0 1 0 4 】

上記しきい値比較の結果、第1リファレンスセルR F C 0 0のしきい値が第2のリファレンスセルS R C 0 0よりも低い場合には、上記センスアンプS A Aの非反転入力端子に入力される電圧が上記反転入力端子に入力される電圧よりも低くなる。この場合、このセンスアンプS A Aからの出力信号を受けたプログラム制御回路1は、第2のリファレンスセルS R C 0 0のしきい値よりも、第1のリファレンスセルR F C 0 0のしきい値が低いと判断して、この第1のリファレンスセルS R C 0 0に、再度、プログラムパルスが1パルスだけ印加される。なお、上記では、8つの第1リファレンスセルR F C 0 0, R F C 1 0, R F C 2 0, R F C 3 0, R F C 4 0, R F C 5 0, R F C 6 0, R F C 7 0のうちのR F C 0 0のしきい値が第2のリファレンスセルS R C 0 0のしきい値よりも低い場合を述べたが、8つの第1リファレンスセルR F C 0 0～R F C 7 0のうち、第2のリファレンスセルS R C 0 0のしきい値よりも低い第1リファレンスセルのみに、再度、プログラムパルスが1パルスだけ印加されることになる。

【 0 1 0 5 】

上記しきい値比較とプログラムパルスの印加を繰り返し、最終的に、上記8つの第1リファレンスセルR F C 0 0～R F C 7 0の全てが、第2リファレンスセルS R C 0 0に比べて、しきい値が高くなった(つまり、第2のリファレンスセルより電流が流れない)と、プログラム制御回路1が判断した場合、プログラム制御回路1によって、プログラムパルス印加が終了される。

【 0 1 0 6 】

一連のこれらの動作は、コマンドが1度発行されると、しきい値が所定のしきい値以上となるまで、内部のプログラム制御回路1を用いて自動的に行われる。

【 0 1 0 7 】

続けて、第1リファレンスセルR F C 8 0～第1リファレンスセルR F C 1 5 0、……第1リファレンスセルR F C 1 2 0 0～第1リファレンスセルR F C 1 2 7 0の順に、設定するしきい値レベルが同一の第2リファレンスセルに対して、8つずつ、しきい値調整を行う。

【 0 1 0 8 】

さらに、上記 1 2 8 個の第 1 リファレンスセル R F C 0 0 ~ 1 2 7 0 よりも、設定するしきい値レベルの高い 1 2 8 個の第 1 リファレンスセル R F C 0 1 ~ リファレンスセル R F C 1 2 7 1 に対して、上述と同じ要領で、しきい値調整を行なう。この場合、書込みスピードを調整するため、書込み時のワード線 $W L_R$ に印加する電圧を 6.5 V とする。

【 0 1 0 9 】

つづけて、さらに、設定するしきい値レベルの高い 1 2 8 個の第 1 リファレンスセル R F C 0 2 ~ リファレンスセル R F C 1 2 7 2 に対して、上述と同じ要領で、しきい値調整を行なう。この場合、書込みスピードを調整するため、書込み時のワード線 $W L_R$ に印加する電圧を 7.5 V とする。

【 0 1 1 0 】

この第 3 実施形態では、1 つの第 1 リファレンスセルのしきい値設定において、プログラムパルス回数を 1 0 0 回として、プログラムパルス印加の動作(セットアップ動作等込み)に、1 0 μ 秒を要し、ベリファイ時間に、2 μ 秒を要するとすると、1 つの第 1 リファレンスセルのしきい値調整動作に要する時間 T は、次式(5)で算出されるように、1.2 m 秒程度となる。

【 0 1 1 1 】

$$T = ((12) \mu \text{ 秒} \times 100) = 1.2 \text{ m 秒} \quad \cdots \cdots (5)$$

また、1 つの第 1 リファレンスセルを調整するために、最初に、コマンドが 1 度発行される。これに必要な時間を、1 μ 秒とすると、第 1 リファレンスセル数が全部で 1 2 8 \times 3 個であることと、8 個の第 1 リファレンスセルに同時に書き込み動作が可能なことから、しきい値調整に要する合計時間 T T は、次式(6)で算出されるように、0.117 秒となる。

【 0 1 1 2 】

$$T T = 1.201 \text{ m 秒} \times 128 \times 3 / 8 = 0.117 \text{ 秒} \quad \cdots \cdots (6)$$

このように、この第 3 実施形態によれば、約 0.1 秒という現実的なテスト時間で、多値用のリファレンスセルのしきい値調整の実現が可能となる。

【 0 1 1 3 】

尚、上記第3実施形態では、不揮発性半導体メモリ装置としての4値フラッシュメモリについて説明したが、4値フラッシュメモリに限らずフローティングゲートに3値以上の電荷状態が形成される不揮発性半導体メモリ装置にこの発明を適用できる。また、上記第1～第3実施形態では、しきい値比較をセンスアンプで行ったが、センスアンプに替えて、第1のリファレンスセルのしきい値と第2のリファレンスセルのしきい値を比較可能な電圧比較回路を採用してもよい。

【0114】

【発明の効果】

以上より明らかなように、この発明の不揮発性半導体メモリ装置によれば、しきい値比較手段が、第1のリファレンスセルのしきい値と第2のリファレンスセルのしきい値とを比較し、このしきい値比較結果に基づいて、しきい値設定手段が、第1のリファレンスセルのしきい値を設定する。上記しきい値比較は、上記第1のリファレンスセルのしきい値読み出し動作に比べて、短い時間で行える。したがって、上記第1のリファレンスセルの個数が増加した場合に、上記第1のリファレンスセルを読み出して上記第1のリファレンスセルのしきい値を調整する従来例に比べて、しきい値調整時間を大幅に低減できる。

【図面の簡単な説明】

【図1】 この発明の不揮発性半導体メモリ装置の第1実施形態におけるリファレンスセルのしきい値設定回路の構成を示すブロック図である。

【図2】 上記第1実施形態におけるセンス系の回路を含むリファレンスセルのしきい値設定回路の構成図である。

【図3】 この発明の第2実施形態におけるリファレンスセルのしきい値設定回路の構成を示すブロック図である。

【図4】 この発明の第2実施形態におけるセンス系の回路を含むリファレンスセルのしきい値設定回路の構成図である。

【図5】 この発明の第3実施形態におけるリファレンスセルのしきい値設定回路の構成を示すブロック図である。

【図6】 上記第3実施形態におけるセンス系の回路を含むリファレンスセルのしきい値設定回路の構成図である。

【図 7】 上記第 1 実施形態における書込み回路の回路図である。

【図 8】 上記第 2 実施形態におけるセンスアンプ&書込み回路の回路図である。

【図 9】 上記第 3 実施形態におけるセンスアンプ&書込み回路の回路図である。

【図 1 0】 従来技術におけるリファレンスセルのしきい値設定回路の構成を示すブロック図である。

【図 1 1】 従来におけるセンスアンプ回路の構成を示す回路図である。

【図 1 2】 従来技術におけるセンス系の回路を含むリファレンスセルのしきい値設定回路の構成図である。

【図 1 3】 フラッシュメモリの断面構造を示す図である。

【図 1 4】 2 値フラッシュメモリのフローティングゲートの電荷状態を示す図である。

【図 1 5】 4 値フラッシュメモリのフローティングゲートの電荷状態を示す図である。

【符号の説明】

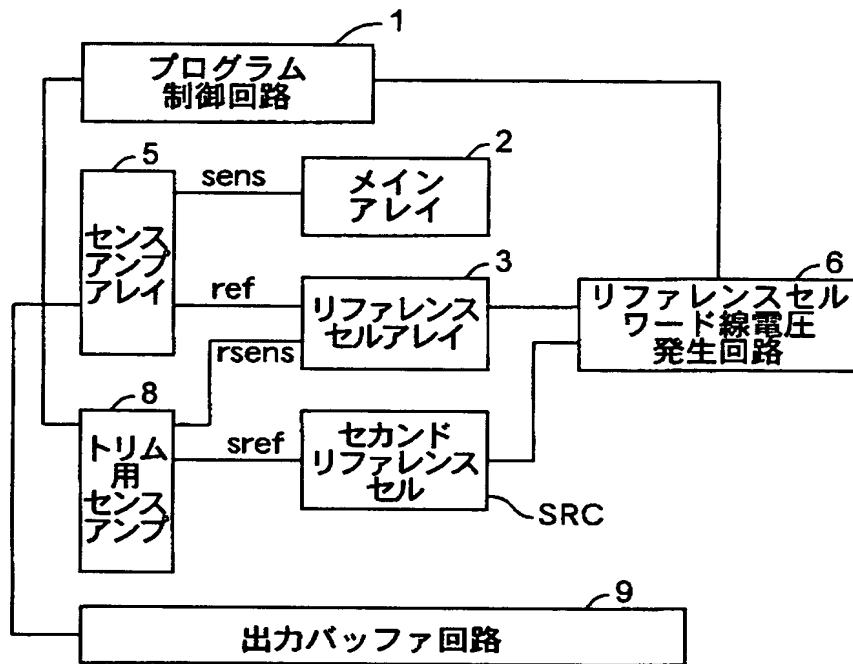
1…プログラム制御回路、 2…メインアレイ、
3…第 1 リファレンスセルアレイ、
5, 3 5, 5 5…センスアンプアレイ、 3 7…第 2 リファレンスセルアレイ、
6…リファレンスセルワード線電圧発生回路、
SRC…第 2 リファレンスセル、 8…トリム用センスアンプ、
9…出力バッファ回路、
WC…書込回路、 WL_R …第 1 リファレンスセルワード線、
 WL_{SR} …第 2 リファレンスセルワード線、
SRC, SRC 0 0 ~ SRC 0 2…第 2 リファレンスセル、
RFC 0 ~ RFC 1 2 7…第 1 リファレンスセル、
RFC 0 0 ~ RFC 1 2 7 2…第 1 リファレンスセル、
SA 0 ~ SA 1 2 7…センスアンプ、
SAP 0 ~ SAP 1 2 7…センスアンプ&書込回路、

特 2 0 0 2 - 1 9 3 3 4 8

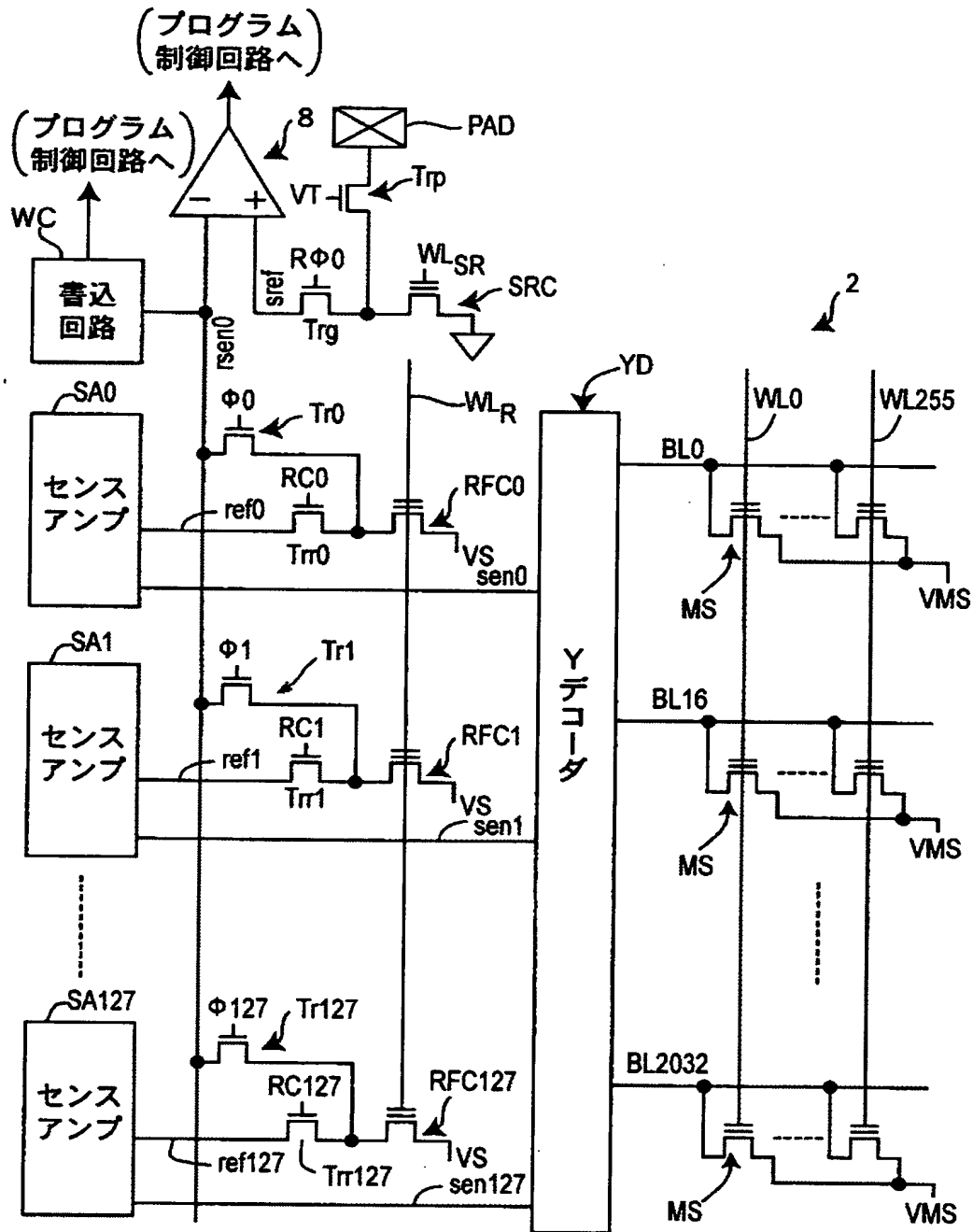
S A P 0 0 ~ S A P 1 2 7 2 … セン스アンプ & 書込回路。

【書類名】 図面

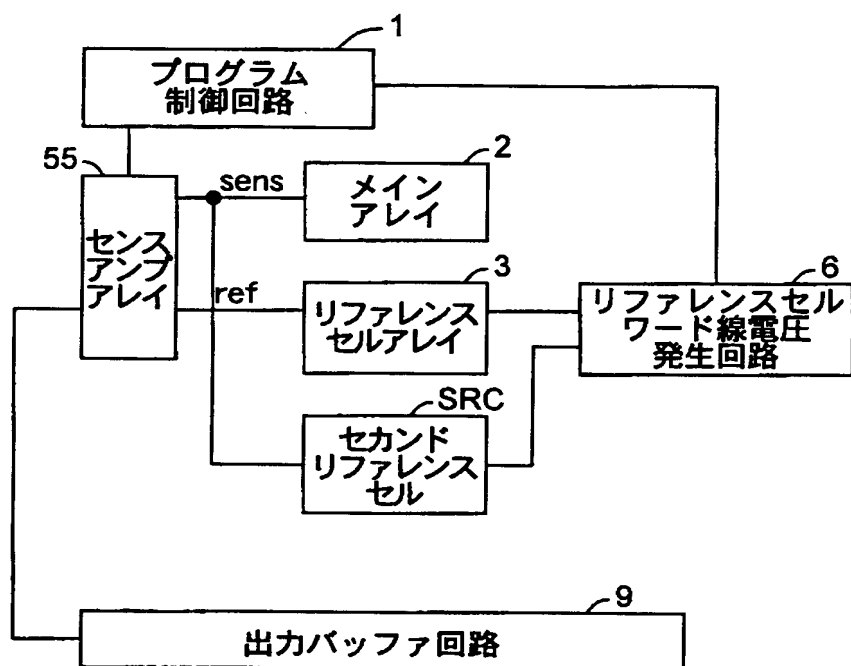
【図 1】



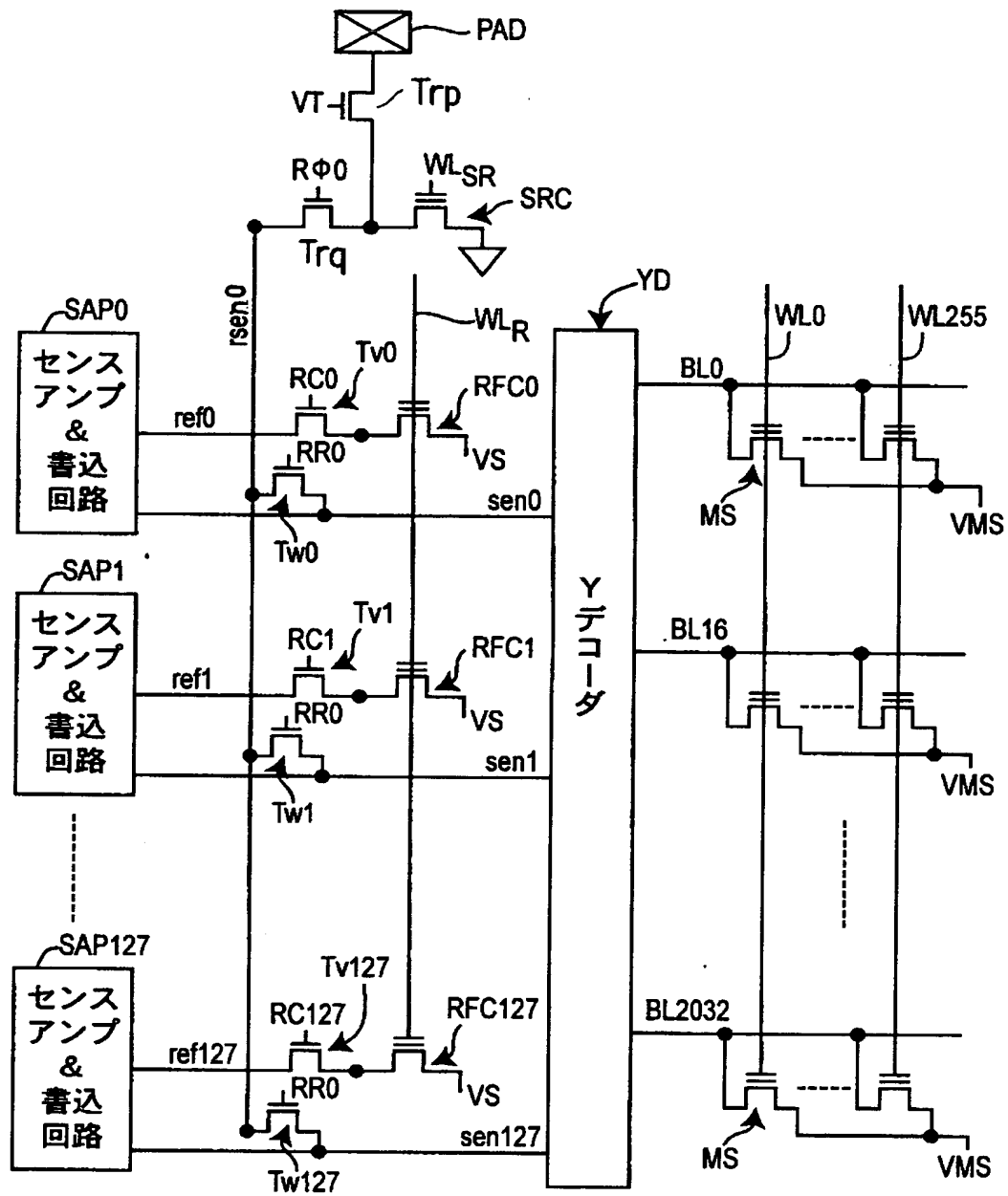
【图 2】



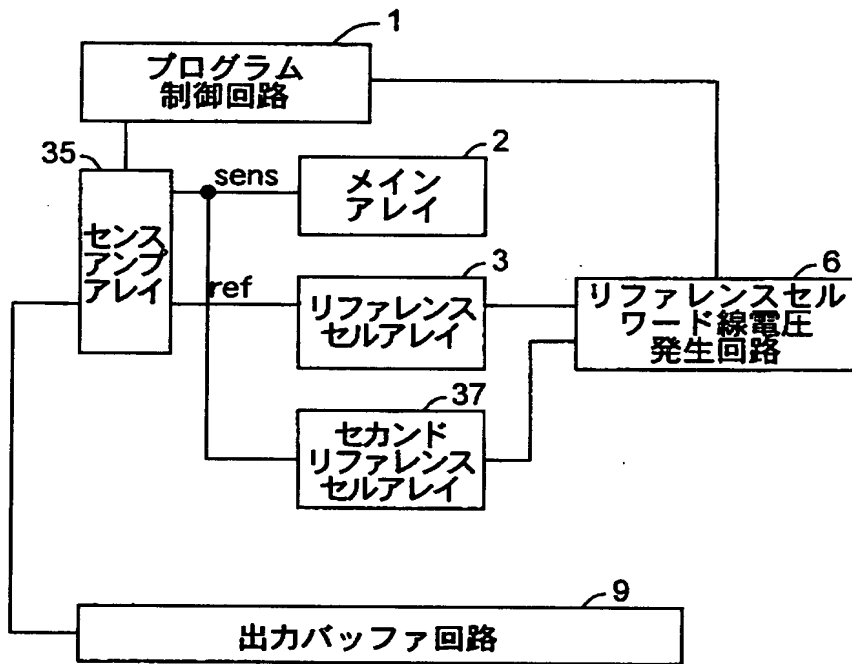
【図 3】



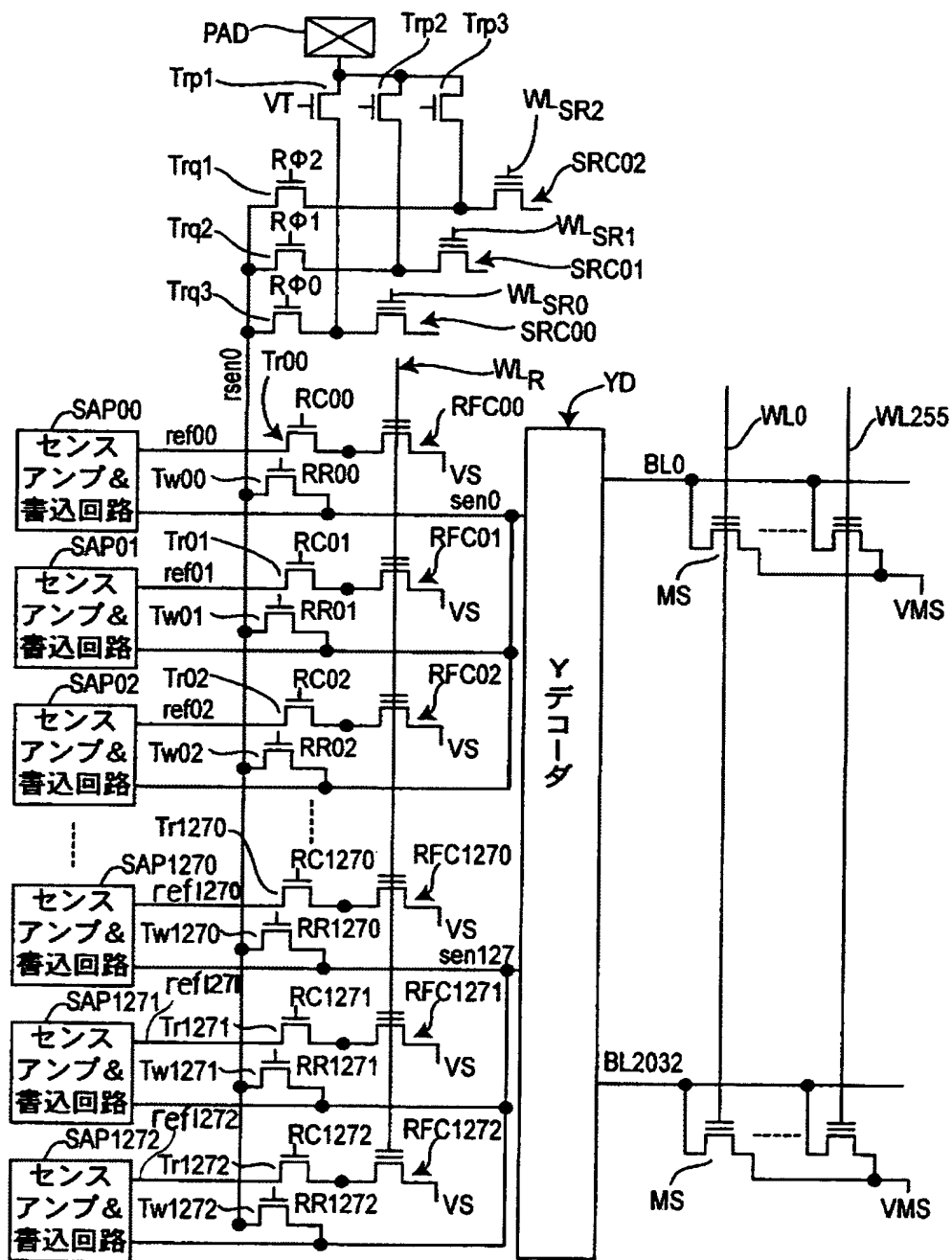
【图 4】



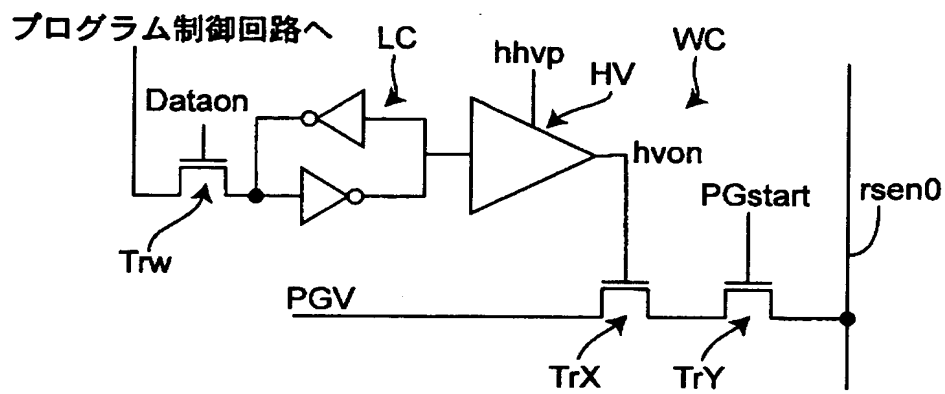
【図 5】



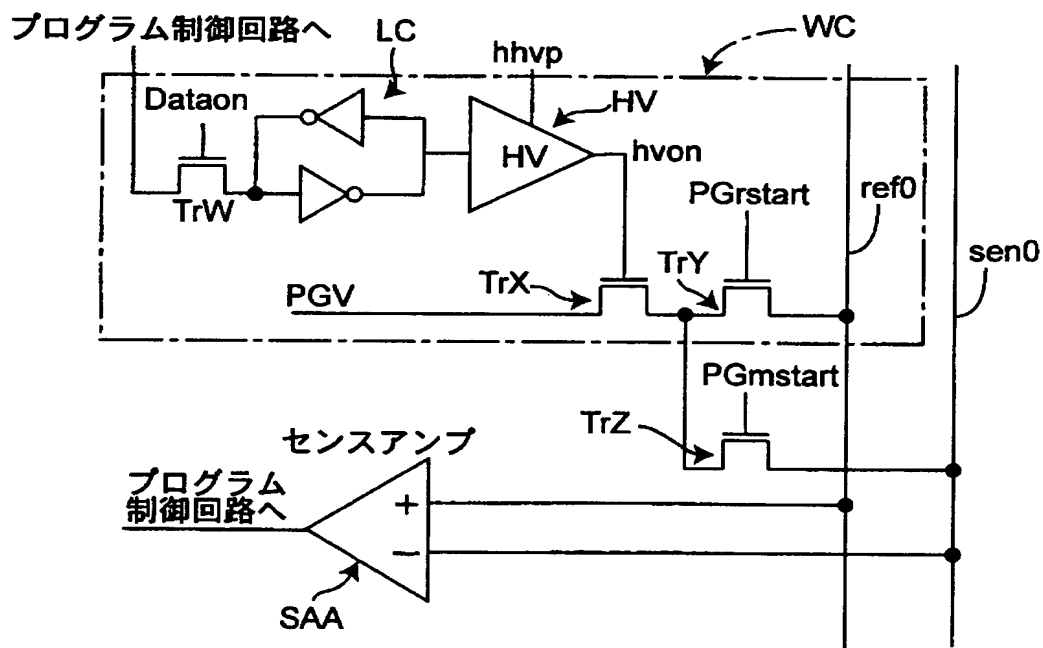
【図 6】



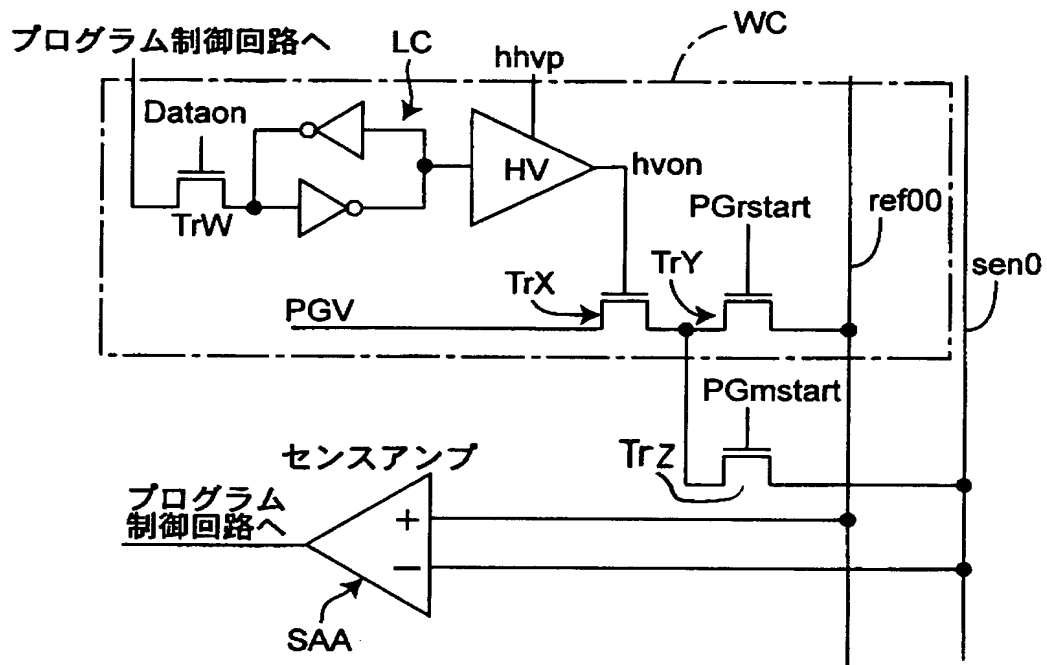
【図 7】



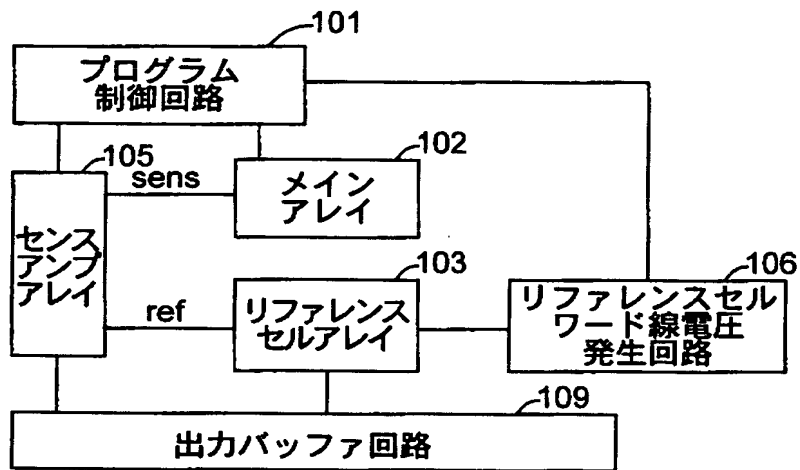
【図 8】



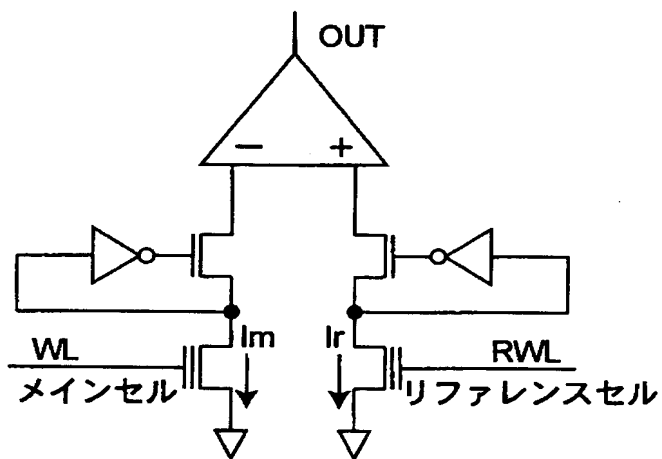
【図 9】



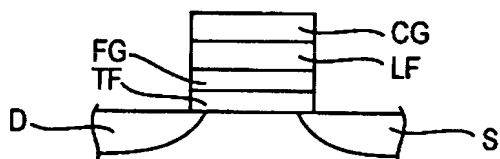
【図 1 0】



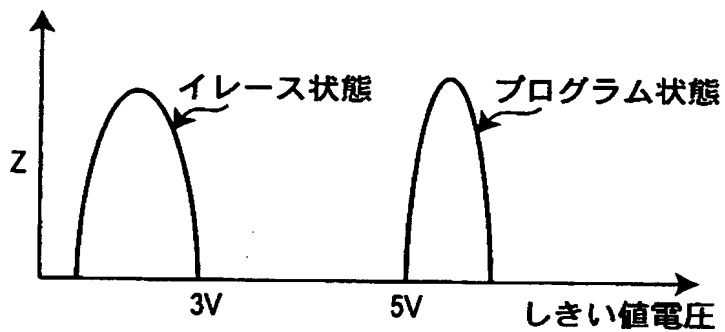
【図 1 1】



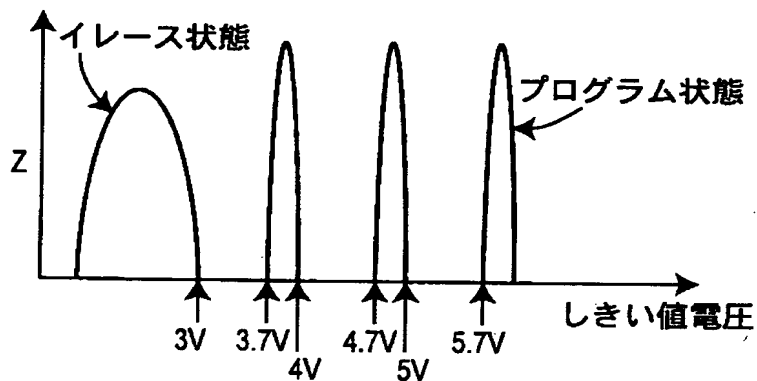
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 リファレンスセルの個数が増加することによるしきい値調整時間の増加を低減できる不揮発性半導体メモリ装置を提供する。

【解決手段】 この発明の不揮発性半導体メモリ装置では、トリム用センスアンプ 8 が第 1 のリファレンスセル R F C 0 のしきい値と第 2 のリファレンスセル S R C のしきい値とを比較した結果に基づいて、プログラム制御回路 1 は、書込回路 W C により第 1 のリファレンスセル R F C 0 のしきい値を設定する。トリム用センスアンプ 8 による上記しきい値比較は、第 1 のリファレンスセル R F C 0 のしきい値読み出し動作に比べて、短い時間で行える。したがって、第 1 のリファレンスセルの個数が増加した場合に、第 1 のリファレンスセルを読み出して第 1 のリファレンスセルのしきい値を調整する従来例に比べて、しきい値調整時間を大幅に低減できる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社